

10/561426
PCT/JP2004/008620

26.07.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

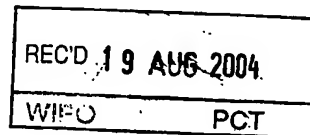
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 6月30日

出 願 番 号
Application Number: 特願2003-189117
[ST. 10/C]: [JP2003-189117]

出 願 人
Applicant(s): 株式会社セルクロス

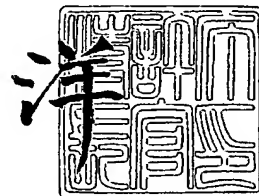


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 7月20日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特2004-3062478

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 Z16-0007

【提出日】 平成15年 6月30日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 7/00

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区天王町 1-17-8 ジョリ
メゾン 301号室

【氏名】 湯浅 太刀男

【特許出願人】

【識別番号】 503054096

【氏名又は名称】 株式会社セルクロス

【代理人】

【識別番号】 100105924

【弁理士】

【氏名又は名称】 森下 賢樹

【電話番号】 03-3461-3687

【手数料の表示】

【予納台帳番号】 091329

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 動作初期化DLL回路

【特許請求の範囲】

【請求項1】 入力信号が初期化信号の解除後に印加され、印加された前記入力信号へ制御信号に応じて時間遅れを発生させた出力信号を出力する遅延回路と、初期化入力信号及び初期化出力信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記入力信号と前記出力信号が予め定められ状態になったときにそれぞれを通過出力させる初期化回路と、前記遅延回路の初期値若しくは内包された初期化回路により遅相信号と進相信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記入力信号と前記出力信号の位相関係を前記遅相信号及び前記進相信号として出力させる位相比較回路と、前記制御信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記遅相信号及び前記進相信号に従い前記制御信号を出力させるチャージポンプ回路及びローパスフィルター回路と、で構成されることを特徴とする動作初期化DLL回路。

【請求項2】 前記初期化信号は初期値がH値であり、初期化状態解除後にL値に変化し、前記初期化入力信号及び初期化出力信号の初期値は何れもL値であり、前記遅相信号及び進相信号の初期値は何れもL値であり、前記制御信号の初期値がH値であることを特徴とする請求項1に記載の動作初期化DLL回路。

【請求項3】 前記遅延回路は印加された前記入力信号に対して前記制御信号に応じた時間遅れを生じさせた前記出力信号を出力することを特徴とする請求項1に記載の動作初期化DLL回路。

【請求項4】 前記遅延回路は前記制御信号が上昇するほど前記入力信号と前記出力信号の時間遅れが小さくなることを特徴とする請求項1に記載の動作初期化DLL回路。

【請求項5】 前記初期化回路は前記入力信号がL値であり、かつ前記出力信号がH値と初めてなった時に前記入力信号をそのまま前記初期化入力信号として、前記出力信号をそのまま前記初期化出力信号としてそれぞれ伝達することを特徴とする請求項1に記載の動作初期化DLL回路。

【請求項 6】 前記位相比較回路は前記初期化入力信号より前記初期化出力信号の位相の進みが大きいほど前記遅相信号より前記進相信号の長さが長くなることを特徴する請求項 1 に記載の動作初期化 D L L 回路。

【請求項 7】 前記チャージポンプ回路及びローパスフィルタ回路は前記進相信号より前記遅相信号の長さが長い時間に比例して前記制御信号が上昇することを特徴とする請求項 1 に記載の動作初期化 D L L 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、遅延回路に関し、とくに D L L 回路に関する。

【0002】

【従来の技術】

D L L (Delay Locked Loop: 遅延同期ループ) 回路はディジタル電子回路一般で広く用いられる。D L L 回路とは入力信号に対して予め設計された位相差としての時間遅れが発生させられた出力信号を出力し、また内部信号として制御信号が出力される。D L L 回路は入力信号に対して任意の位相差のディジタル信号を出力したり、遅延回路内から入力信号と出力信号の間の任意の位相の内部信号を取り出したり、制御信号を別の遅延回路に印加することによりレプリカ (複製) 方式と呼ばれる別の入出力信号を制御したり、別の動作仕様をもつ遅延回路を実現することが出来る。

【0003】

こうした動作を行うため、D L L 回路はディジタル信号処理回路に広く用いられる。実現方法としては小面積、低消費電力等の特徴がある L S I (Large Scale IC) 回路で製造されることが多い。

【0004】

従来の D L L 回路の構成例を図 1 に示す。外部から入力信号が印加され、印加された前記入力信号へ制御信号に応じて時間遅れを発生させた出力信号を出力する遅延回路 1 と、前記入力信号と前記出力信号の位相関係を遅相信号及び進相信号として出力させる位相比較回路 2 と、前記遅相信号及び前記真相信号に従い前

期制御信号を出力させるチャージポンプ回路3及びLPF (Low Pass Filter) 回路4と、で構成されている。

【0005】

次に、図5を参照しながらDLL回路の正常な動作例を説明する。DLL回路の入力信号として、一般的には繰り返しデジタル周期波形、例えばデジタル回路で多用されるクロック信号が遅延回路へ印加される。図5の入力信号が初期には正常な方形波ではないのは、例えばLSI回路に搭載するクロック発生回路として多用されるリング発振回路が、LSI回路への電源が投入された直後の起動途中の状態を現している。印加された入力信号は遅延回路を通過する際に時間遅れを発生させて、それを出力信号として遅延回路より出力する。遅延回路の時間遅れはDLL回路の内部信号である制御信号によって制御される。

【0006】

位相比較回路は遅延回路の入力信号及び出力信号が印加される。印加された入力信号及び出力信号の位相を比較し、入力信号よりも出力信号が相対的に遅れていれば遅相信号を進相信号よりも長い時間出力する。反対に、入力信号よりも出力信号が相対的に進んでいれば進相信号を遅相信号よりも長い時間出力する。何れの場合においても、遅相信号の長さ進相信号の長さの差は入力信号と出力信号の位相差と一致する。よって、もし入力信号と出力信号の位相が完全に一致している場合には遅相信号と進相信号の長さの差は零となる。

【0007】

チャージポンプ回路は位相比較回路の遅相信号及び進相信号が印加される。遅相信号の長さよりも進相信号の長さが長い場合はその長さの差の間だけ制御信号が低下させられる。反対に、遅相信号の長さよりも進相信号の長さが短い場合にはその長さの差だけ制御信号が上昇させられる。制御信号が低下した場合には遅延回路で発生される時間遅れはより大きくなる。反対に、制御信号が上昇した場合には遅延回路で発生される時間遅れはより小さくなる。以上の負帰還制御が繰り返され、入力信号と出力信号の位相差が零になるように自動的に動作する。

【0008】

図1の更に詳細な構成例を図2から図4に示す。図2は遅延回路の詳細な構成

例である。Pch型MOSFET 11、12、…、1nがそれぞれNch型MOSFET、21、22、…、2nと組み合わせりインバーター回路を構成している。入力信号はまずPch型MOSFET、11とNch型MOSFET、21で構成される第一段目のインバーター回路に印加され、それが第二段目と続き、第n段目まで従属接続されている。第n段目の出力が遅延回路の出力信号となる。本構成例においては位相比較回路の動作例に依存して、nは偶数でなければならない。Nch型MOSFETのソース側にはそれぞれ別のNch型MOSFET、31、32、…、3nが接続され、それらのゲートは共通に接続され制御信号が印加されている。制御信号が上昇すればNch型MOSFET、31、32、…、3nどれもドレイン電流が増加するため、各インバーター回路の動作電流も増加し遅延時間は短くなる。反対に、制御信号が低下すればNch型MOSFET、31、32、…、3nどれもドレイン電流が減少するため、各インバーター回路の動作電流も減少し遅延時間は長くなる。

【0009】

図3は位相比較回路の詳細な構成例である。この回路はPLL (Phase Locked Loop) 回路やDLL回路で従来より多用されている回路である。

【0010】

図4はチャージポンプ回路とLPF回路の詳細な構成例である。抵抗62とNch型MOSFET、63により、(電源電圧=VDD-Nch型MOSFETの閾値電圧)/抵抗値となる擬似的定電流回路を構成している。そして、Nch型MOSFET、63が入力側、64及び69が出力側となるカレントミラー回路を構成している。Nch型MOSFET、64により発生された定電流出力はPch型MOSFET、65が入力側、66が出力側となるカレントミラー回路に入力される。これらの回路の定数値を適切設計すればNch型MOSFET、69、Pch型MOSFET、66それぞれから出力される定電流値は同じとなる。それぞれをNch型MOSFET、68、Pch型MOSFET、67をスイッチ手段として用いてそれぞれを進相信号、遅相信号がH値となった場合にチャージポンプ回路から出力される。

【0011】

チャージポンプ回路からの電流出力は図 5 に示す通りパルス状であるため、これを抵抗 7 1、容量 7 2 から構成される簡単な L P F 回路を通過させることにより直流の制御信号として出力し、これが遅延回路へ印加される。

【 0 0 1 2 】

【非特許文献 1】

Deog-kyoon Jeong et al., "Design of PLL-Based Clock Generation Circuits", IEEE J. Solid-State Circ., vol. SC-22, pp. 255-261, April 1987

【非特許文献 2】

Ian A. Young et al., "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors", IEEE J. Solid-State Circ., vol. SC-27, pp. 1599-1607, Nov. 1992.

【非特許文献 3】

Ricky F. Bitting, "A 30-128 MHz Frequency Synthesizer Standard Cell", Proc. CICC, pp. 24.1.1 - 24.1.6, May 1992.

【非特許文献 4】

Dejan Mijuskovic, "Cell-Based Fully Integrated CMOS Frequency Synthesizers", IEEE J. Solid-State Circ., vol. SC-29, pp. 271-279, March 1994

【非特許文献 5】

Ilya Novof et al., "Fully Integrated CMOS Phase-Locked Loop with 15 to 240 MHz Locking Range and +/- 50ps Jitter", ISSCC Dig. Tech. Papers, pp. 112-113, Feb. 1995

【 0 0 1 3 】

【発明が解決しようとする課題】

従来の D L L 回路には回路が動作する初期状態が必ずしも一意に特定されないため、制御信号が発散して遅延回路が正常な動作を行わない状態になる問題があった。この動作状態を図 6 を参照しながら説明する。

【 0 0 1 4 】

従来の遅延回路には入力信号及が例えば、回路系全体に電源が投入された直後の不定かつ不安定な起動状態のままに印加される。すると、出力信号も場合によ

ってはこの準じた不定かつ不安定なものとなる可能性がある。つまり、これら不定かつ不安定な信号が従来の位相比較回路へ印加される。さらに、従来の位相比較回路は回路の初期起動状態が必ずしも一意に特定せず、遅相信号及び進相信号も不定かつ不安定になる可能性があった。本来は遅延回路の入力信号が小さいものであっても必ず時間遅れを発生して出力信号となるはずのものが、位相比較回路の不定かつ不安定な状態が原因となりそれを誤って検出して、回路の起動状態からあたかも入力信号より出力信号が位相が進んでいる場合と同等の処理結果、即ち遅相信号と進相信号を出力する可能性があった。

【0015】

これではDLL回路全体の帰還制御が本来の動作原理である負帰還ではなくて正帰還として構成されることになる。よって、DLL回路全体は正常な状態に収束することなく、制御信号が上昇し過ぎる、或いは降下し過ぎることになり、回路全体は正常な動作を行わない。図6はこうした状態への変化を表している。

【0016】

またさらに正常な動作を行わない状態になる原因がある。遅延回路と位相比較回路が以上の誤った状態とならず、本来望ましい値になった場合であっても、制御信号の初期値も原理的に必ずしも一意に特定されない。すると、本来は入力信号から出力信号が丁度1周期だけ遅れている状態としてDLL回路全体を設計した場合でも、制御信号の初期値によっては入力信号から出力信号が丁度2周期だけ、或いは丁度3周期だけ遅れている状態としてDLL回路全体の帰還制御が開始される可能性がある。この場合、帰還制御が本来の負帰還の状態となっても、例えば遅延回路が丁度1周期だけ位相を遅らせる特性であると想定して、途中に1/4周期毎にずれた箇所から出力端子を取り出したとしても、実際には2/4周期毎にずれて、或いは3/4周期毎にずれた出力が現れて、やはり正常な動作を行っていないことになる。

【0017】

そこで本発明は、このような従来の問題を解決することを目的とする。

【0018】

【課題を解決するための手段】

上記課題を解決するためには、DLL回路を構成する各部分に動作初期化を行う回路を設ければ良い。この手段を施した回路として、本発明では、入力信号が初期化信号の解除後に印加され、印加された前期入力信号へ制御信号に応じて時間遅れを発生させた出力信号を出力する遅延回路と、初期化入力信号及び初期化出力信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記入力信号と前記出力信号が予め定められ状態になったときにそれぞれを通過出力させる初期化回路と、前記遅延回路の初期値若しくは内包された初期化回路により遅相信号と進相信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記入力信号と前記出力信号の位相関係を前記遅相信号及び前記進相信号として出力させる位相比較回路と、前記制御信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記遅相信号及び前記進相信号に従い前記制御信号を出力させるチャージポンプ回路及びローパスフィルター回路と、で構成されることを特徴とする動作初期化DLL回路、を開示する。

【0019】

この動作初期化DLL回路において、動作初期化を行う回路は遅延回路を最小遅延時間とするように制御信号を設定し、位相比較回路が遅相信号より進相信号の長さをより長く出力する状態から動作を開始するように初期化入力信号及び初期化出力信号を制御しかつ位相比較回路の初期状態を設定する。

【0020】

本発明のある態様は動作初期化DLL回路であり、入力信号が初期化信号の解除後に印加され、印加された前期入力信号へ制御信号に応じて時間遅れを発生させた出力信号を出力する遅延回路と、初期化入力信号及び初期化出力信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記入力信号と前記出力信号が予め定められ状態になったときにそれぞれを通過出力させる初期化回路と、前記遅延回路の初期値若しくは内包された初期化回路により遅相信号と進相信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記入力信号と前記出力信号の位相関係を前記遅相信号及び前記進相信号として出力させる位相比較回路と、前記制御

信号が前記初期化信号により予め定められた初期値として出力され、前記初期化信号の解除後に前記遅相信号及び前記進相信号に従い前記制御信号を出力させるチャージポンプ回路及びローパスフィルター回路と、で構成されることを特徴とする。

【0021】

本発明の別の態様は動作初期化DLL回路であり、前記初期化信号は初期値がH値であり、初期化状態解除後にL値に変化し、前記初期化入力信号及び初期化出力信号の初期値は何れもL値であり、前記遅相信号及び進相信号の初期値は何れもL値であり、前記制御信号の初期値がH値であることを特徴とする。

【0022】

本発明のさらに別の態様は動作初期化DLL回路であり、前記遅延回路は印加された前記入力信号に対して前記制御信号に応じた時間遅れを生じさせた前記出力信号を出力することを特徴とする。

【0023】

本発明のさらに別の態様は動作初期化DLL回路であり、前記遅延回路は前記制御信号が上昇するほど前記入力信号と前記出力信号の時間遅れが小さくなることを特徴とする。

【0024】

本発明のさらに別の態様は動作初期化DLL回路であり、前記初期化回路は前記入力信号がL値であり、かつ前記出力信号がH値と初めてなった時に前記入力信号をそのまま前記初期化入力信号として、前記出力信号をそのまま前記初期化出力信号としてそれぞれ伝達することを特徴とする。

【0025】

本発明のさらに別の態様は動作初期化DLL回路であり、前記位相比較回路は前記初期化入力信号より前記初期化出力信号の位相の進みが大きいほど前記遅相信号より前記進相信号の長さが長くなることを特徴する。

【0026】

本発明のさらに別の態様は動作初期化DLL回路であり、前記チャージポンプ回路及びローパスフィルター回路は前記進相信号より前記遅相信号の長さが長い

時間に比例して前記制御信号が上昇することを特徴とする。

【0027】

【発明の実施の形態】

図7から図12に本発明の具体的実施例を示す。図7は本発明の動作初期化DLL回路の構成例を示す図である。図8から図12には図7で示した各構成部分の更に詳細な実施例を示している。

【0028】

本発明のDLL回路においては初期化信号、例えば、パワーオンリセットと呼ばれる信号の入力必要とする。初期化信号とは入力信号を発生させる例えばクロック発生回路を含めて回路系全体に電源が投入された直後の不定かつ不安定な起動状態が終了した後の安定な初期状態を他の回路等に伝達する信号のことである。具体的には回路系全体への電源投入後、一定時間経過後、あるいは一定状態になったことを検出して回路全体が安定な状態になったことを示す信号を出力する。本実施例においてはこの初期化信号が当初はH値であり、回路全体が安定な状態になり初期化を解除する時になればL値へと変化する論理であるとする。

【0029】

図8に本発明の動作初期化DLL回路の初期化機能付き遅延回路の詳細な構成例を示す。遅延回路は従来のDLL回路で用いられるもので構わず、特に制限はなく回路の動作仕様や設計の自由度を妨げない。初期化信号の論理を反転してAND回路を通過した入力信号が印加される。これにより、遅延回路には十分安定した入力信号が印加されるとともに、初期化回路へ印加される入力信号及び出力信号はいずれもL値に特定されることになる。

【0030】

図9に本発明の動作初期化DLL回路の初期化回路の詳細な構成例を示す。回路の動作開始後は初期化信号がH値であるため、R-Sフリップフロップの出力QはL値となり、初期化入力信号及び初期化出力信号ともにL値となる。さらに、AND回路94とインバーター回路95から構成される論理回路により、出力信号がH値でありかつ入力信号がL値となった時点になり初めて出力QがH値となり、入力信号及び出力信号何れもがそのまま初期化回路を通過してそれぞれ初

期入力信号、初期出力信号となる。初期化信号が一旦L値になった後にはもう値の変化はないため、R-Sフリップフロップの出力Qは永続的にH値が保たれたままとなる。

【0031】

図10に本発明の動作初期化DLL回路の位相比較回路の詳細な構成例を示す。本発明の構成となる位相比較回路は図10の例に限らず、基準信号及び比較信号の初期値がLであることと初期化信号により、遅相信号及び進相信号の初期値が何れもL値となるものであれば良い。ここでは図10に示す位相比較回路における具体的な初期化機能の実施例を示す。図10の回路図は図3に示す回路図と構成は同じあり、初期化の状態を示す“H”若しくは“L”の値の記入のみを追加したものである。論理回路の動作により、基準信号及び比較信号が共にL値であれば、節点n3及びn8が何れもL値となれば回路全体が図10に示される初期値に収束する。

【0032】

節点n3を出力とするNAND回路43、節点n8を出力とするNAND回路48何れにもおいて、初期化信号がH値の間にその出力がL値となり、初期化信号がL値となれば一般的な2入力NAND回路となるような回路の具体的な実施例を図11に示す。一般的な2入力NAND回路を構成するPch型MOSFET、103、104、Nch型MOSFET、105、106に対し、初期値を設定するためのPch型MOSFET、101及びNch型MOSFET、102が追加されている。この構成により前述の動作を成す。

【0033】

以上の初期化機能により、位相比較回路が遅相信号より進相信号の長さをより長く出力する状態から動作を開始するように初期化入力信号及び初期化出力信号を制御しかつ位相比較回路の初期状態が設定されたことになる。

【0034】

図12に本発明の動作初期化機能付きチャージポンプ回路及びLPF回路の詳細な実施例を示す。本実施例では従来のチャージポンプ回路及びLPF回路にLPF回路にインバーター111、Pch型MOSFET、123を追加すること

で初期化機能を実施している。初期化信号が初めH値であるため、Pch型MOSFET、123のゲート入力がL値となり、ドレイン・ソース間がオンとなる。これにより、制御信号の値がH値となる。初期化信号がL値になればPch型MOSFET、123のゲート入力が高値となり、動作に関係なくなる。

【0035】

初期化時の制御信号の値がH値となる時、初期化機能の除いた遅延回路、即ち図2を参照すると、Nch型MOSFET、31、32、…、3nのゲート入力が高値(=VDD)となるため、Nch型MOSFET、31、32、…、3nのドレイン電流は最大であり、各インバータ回路の動作電流も最大であり遅延時間は最小となる。つまり、遅延回路を最小遅延時間とするように制御信号が設定されたことになる。

【0036】

以上で開示した実施例は具体的な技術を開示するための詳細な例に過ぎず、本発明の範囲はこの実施の範囲に制限されない。例えば、実施例における各初期化値や初期化信号のH値とL値を全て反転させ、DLL回路を構成する全てのPch型MOSFETとNch型MOSFETを電源(VDD及びVSS)に対して対称に反転させた回路も同様の動作を成す。遅延回路、初期化回路、位相比較回路、チャージポンプ回路及びLPF回路の具体的な構成も本実施例の限りではなく、同等の機能を持つ他の回路も本発明の手段が適用可能であるため、本発明の範囲に含まれる。

【0037】

【発明の効果】

本発明によれば、電源投入直後でも正常に動作するDLL回路を提供できる。

【図面の簡単な説明】

【図1】 従来のDLL回路の構成例を示す図である。

【図2】 図1に示すDLL回路を構成する遅延回路の詳細な構成例を示す図である。

【図3】 図1に示すDLL回路を構成する位相比較回路の詳細な構成例を示す図である。

【図 4】 図 1 に示す D L L 回路を構成するチャージポンプ回路及び L P F の詳細な構成例を示す図である。

【図 5】 図 1 に示す D L L 回路の正常な動作例を示す図である。

【図 6】 図 1 に示す D L L 回路の正常ではない動作例を示す図である。

【図 7】 本発明の動作初期化 D L L 回路の構成例を示す図である。

【図 8】 図 7 に示す本発明の動作初期化 D L L 回路を構成する初期化機能付き遅延回路の詳細な構成例を示す図である。

【図 9】 図 7 に示す本発明の動作初期化 D L L 回路を構成する初期化回路の詳細な構成例を示す図である。

【図 10】 図 7 に示す本発明の動作初期化 D L L 回路を構成する初期化機能付き位相比較回路の詳細な構成例を示す図である。

【図 11】 図 7 に示す本発明の動作初期化 D L L 回路を構成する初期化機能付き位相比較回路のさらに詳細な構成例を示す図である。

【図 12】 図 7 に示す本発明の動作初期化 D L L 回路を構成する初期化機能付きチャージポンプ回路及び L P F の詳細な構成例を示す図である。

【符号の説明】

- 1 遅延回路
- 2 位相比較回路
- 3 チャージポンプ回路
- 4 L P F 回路
- 5 初期化機能付き遅延回路
- 6 初期化回路
- 7 初期化機能付き位相比較回路
- 8 初期化機能付きチャージポンプ回路
- 9 初期化機能付き L P F 回路
- 11、12、…、1n、65、66、67、101、103、104、116、117、118、123 Pch型MOSFET
- 21、22、…、2n、31、32、…、3n、63、64、68、69、102、105、106、114、115、119、11A Nch型MOSFE

T

41、42、50、51、54、55、61、82、95、111、112

インバーター回路

43、44、…、48、49、52、53 NAND回路

62、71、113、121 抵抗

72、122 容量

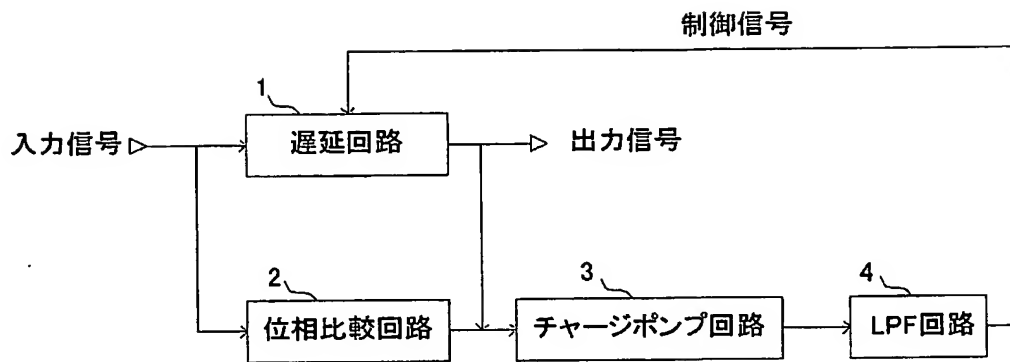
81、92、93、94 AND回路

91 RSフリップフロップ回路

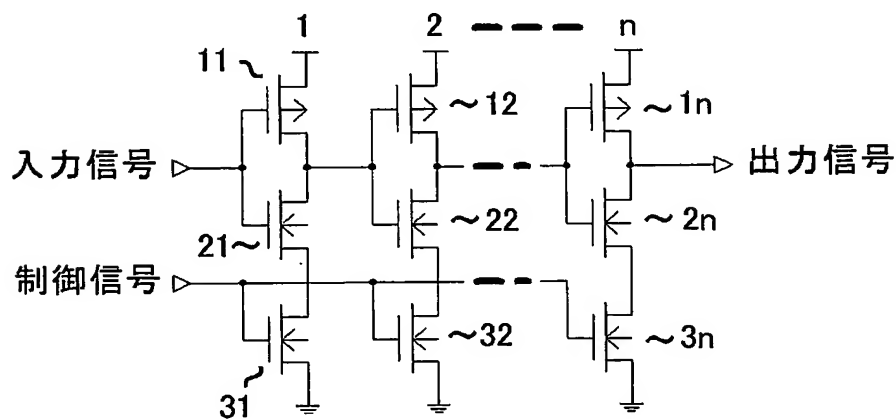
【書類名】

図面

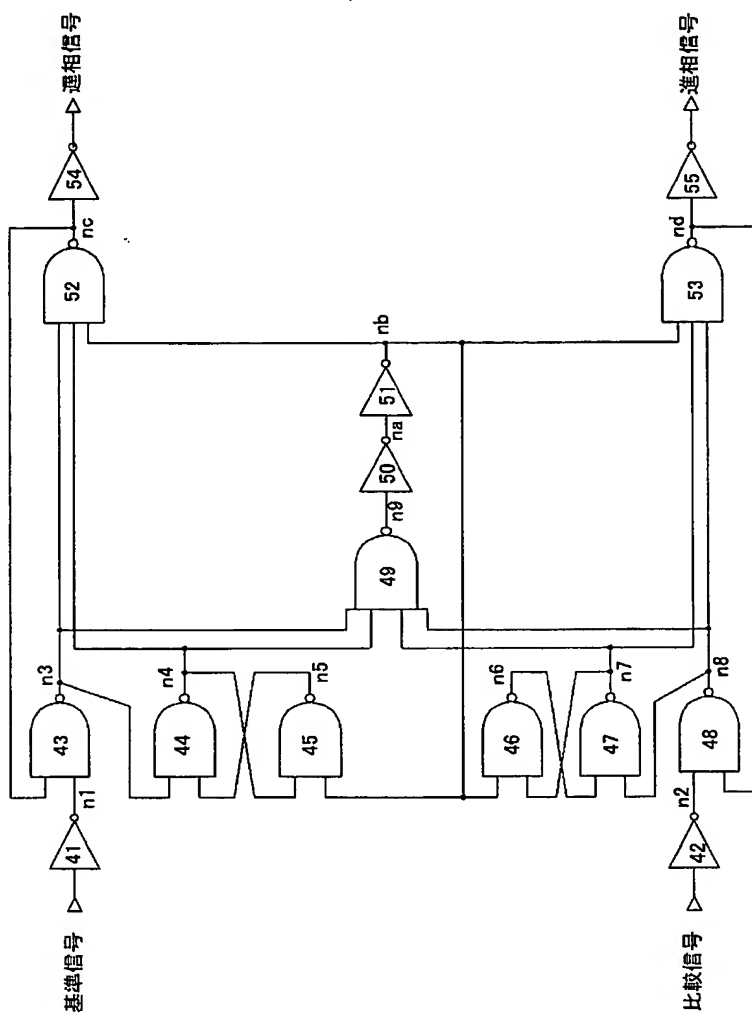
【図 1】



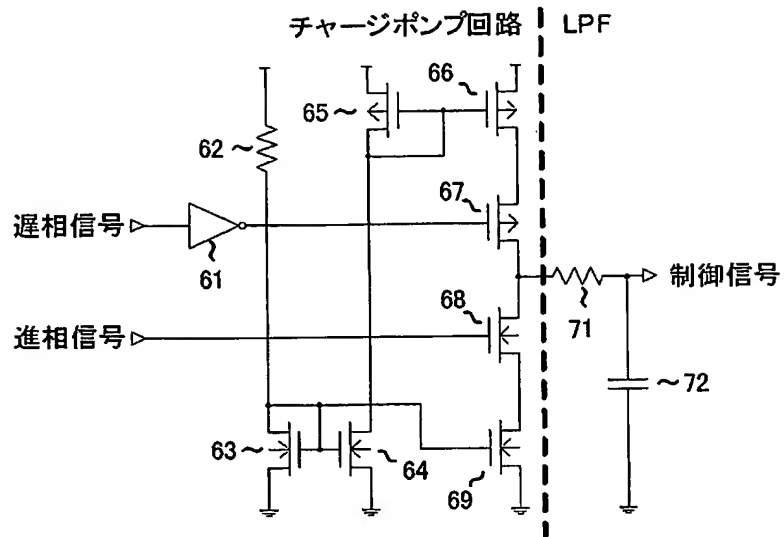
【図 2】



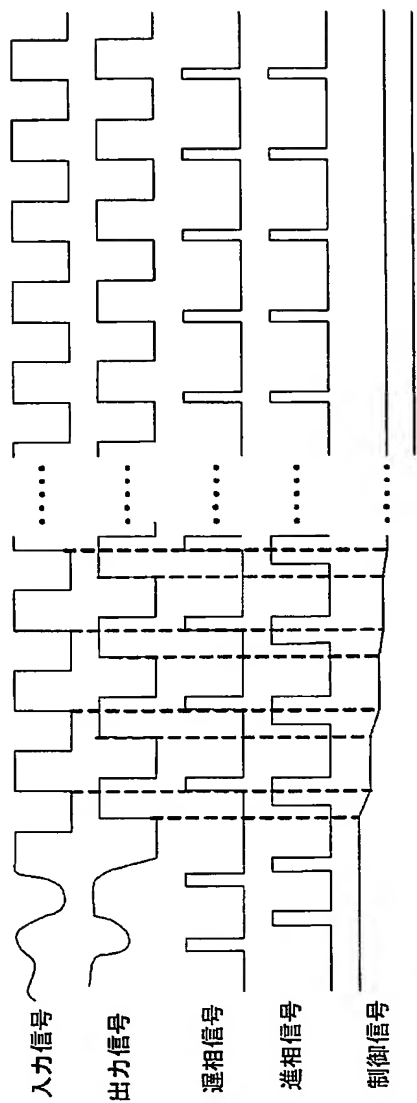
【図3】



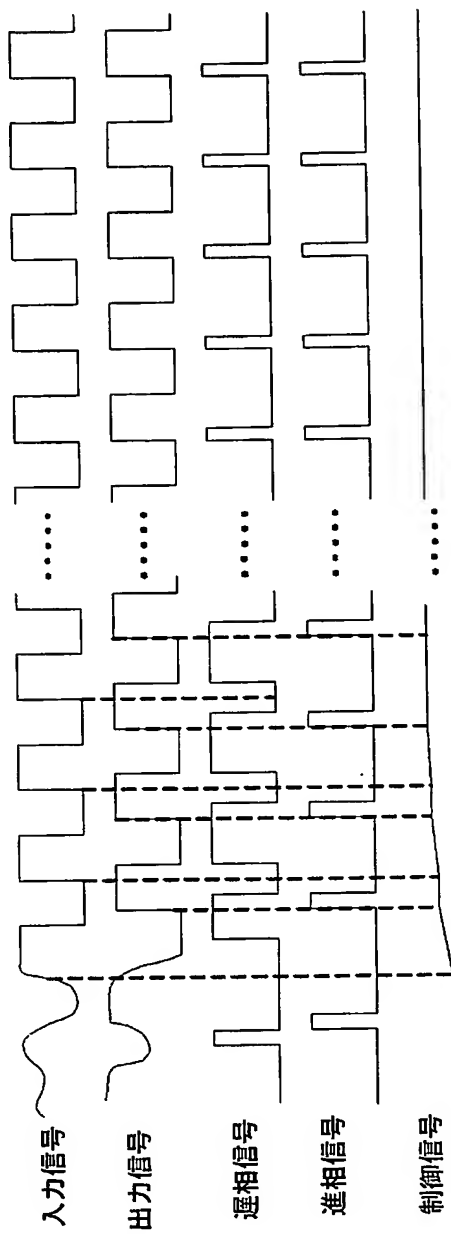
【図 4】



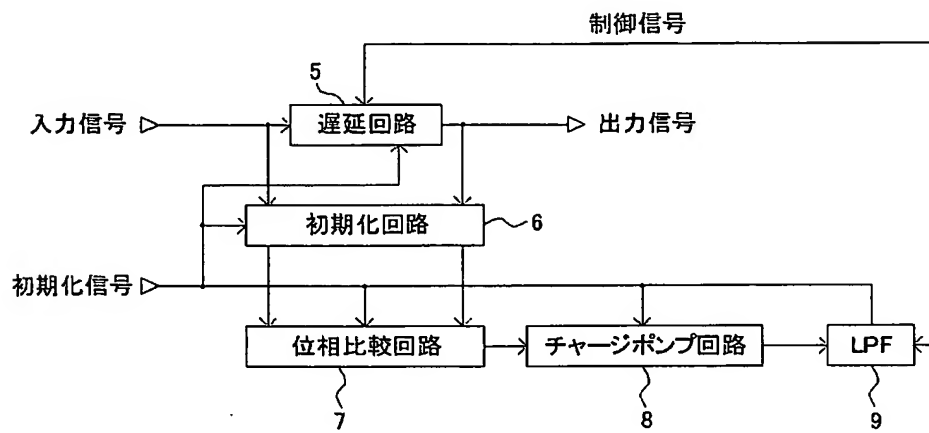
【図 5】



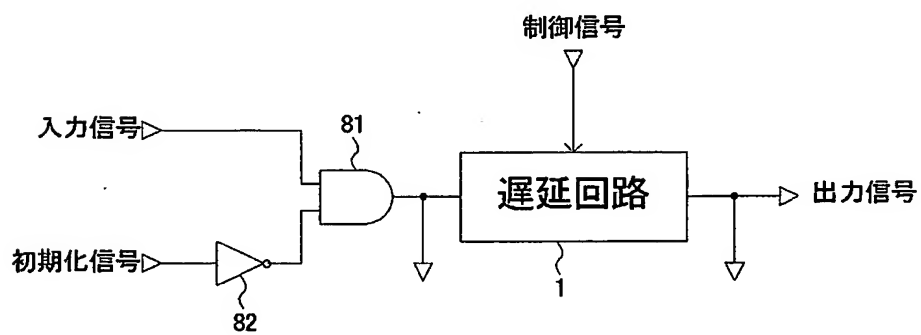
【図6】



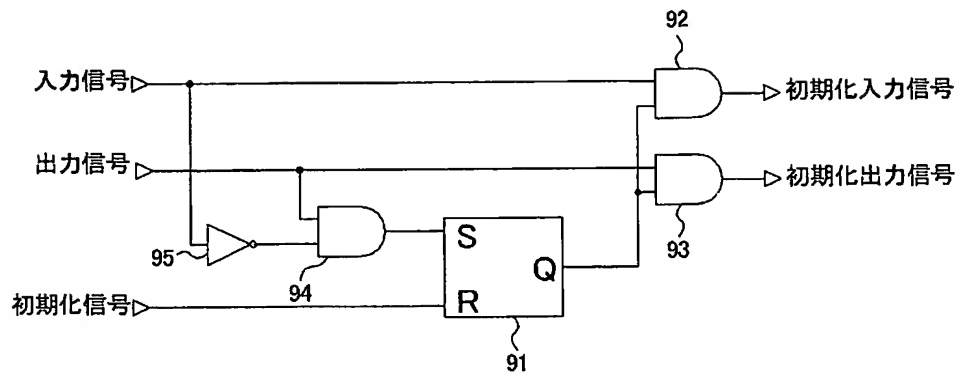
【図 7】



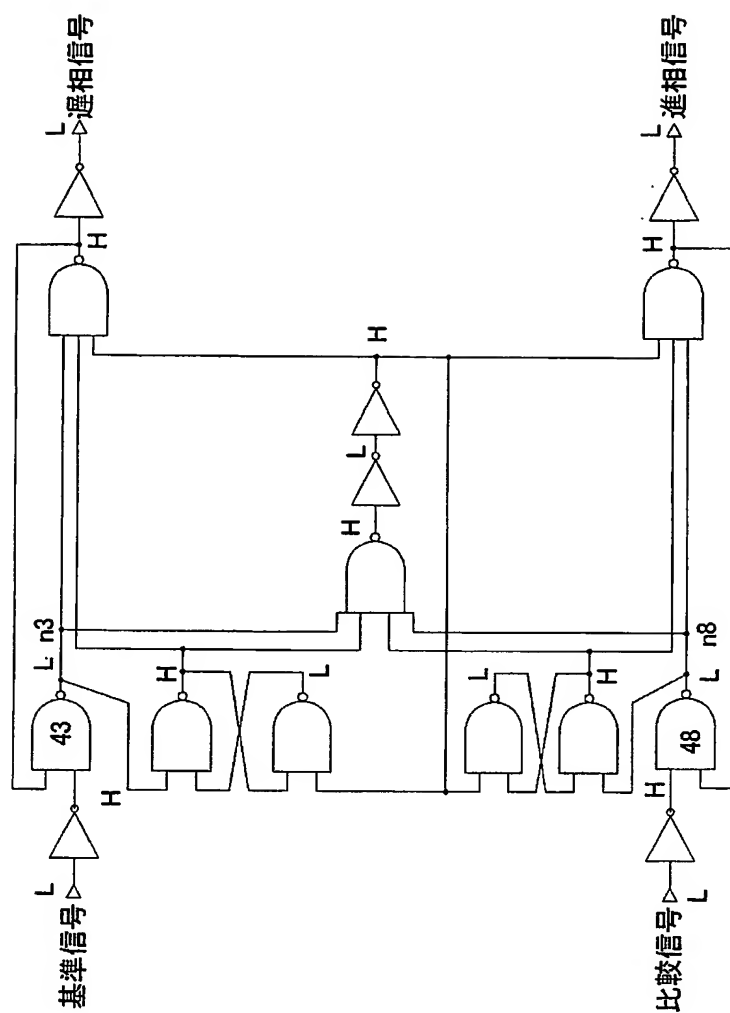
【図 8】



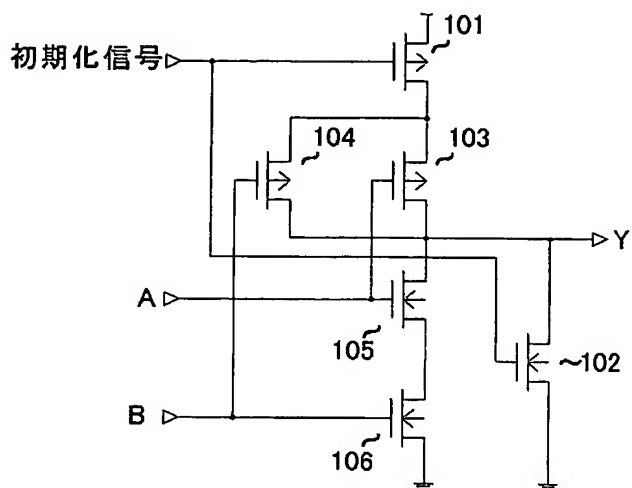
【図 9】



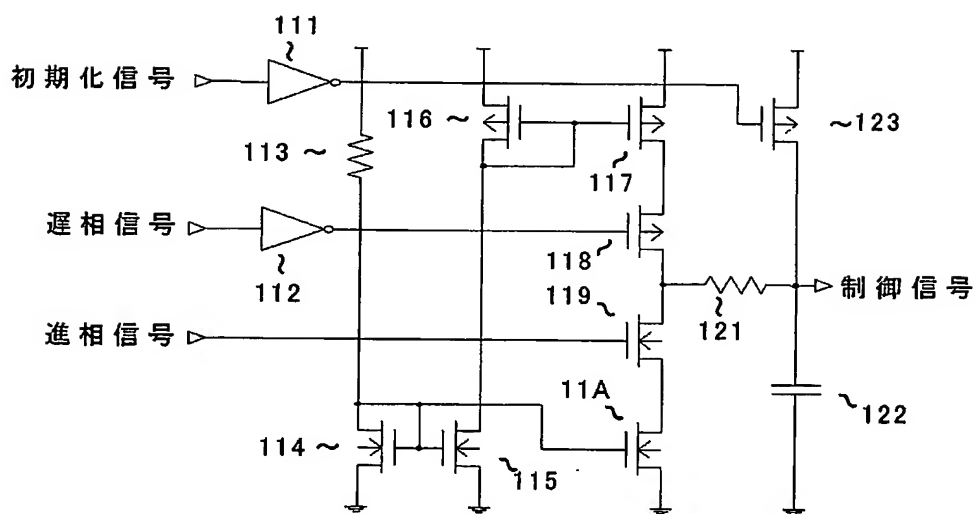
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 動作開始時に遅延回路が正常に動作しないことがある。

【解決手段】 このDLL回路は、入力信号に制御信号に応じて時間遅れを発生させた出力信号を出力する遅延回路5と、初期化入力信号及び初期化出力信号が初期化信号により予め定められた初期値として出力され、初期化信号の解除後に入力信号と出力信号が予め定められ状態になったときにそれぞれを通過出力させる初期化回路6と、遅延回路の初期値若しくは内包された初期化回路により遅相信号と進相信号が初期化信号により予め定められた初期値として出力され、初期化信号の解除後に入力信号と出力信号の位相関係を遅相信号及び進相信号として出力させる位相比較回路7と、制御信号が初期化信号により予め定められた初期値として出力され、初期化信号の解除後に遅相信号及び進相信号に従い制御信号を出力させるチャージポンプ回路8及びローパスフィルター回路9とを備える。

【選択図】 図7

特願 2003-189117

出 願 人 履 歴 情 報

識別番号

[503054096]

- | | |
|----------|-----------------|
| 1. 変更年月日 | 2003年 2月 7日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都千代田区六番町10-2 |
| 氏 名 | 株式会社セルクロス |
| | |
| 2. 変更年月日 | 2004年 6月25日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都墨田区亀沢4-14-16 |
| 氏 名 | 株式会社セルクロス |

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.